

PAT-NO: JP404032267A
DOCUMENT-IDENTIFIER: JP 04032267 A
TITLE: THIN FILM TRANSISTOR
PUBN-DATE: February 4, 1992

INVENTOR-INFORMATION:
NAME
CHIYOU, KOUYUU

ASSIGNEE-INFORMATION:
NAME SEMICONDUCTOR ENERGY LAB CO LTD COUNTRY
N/A

APPL-NO: JP02140580
APPL-DATE: May 29, 1990

INT-CL (IPC): H01L029/784
US-CL-CURRENT: 257/57, 257/66 , 257/347

ABSTRACT:

PURPOSE: To obtain an TFT structure having excellent element characteristics and high reliability for a long period of time by forming a TFT element on an under protection film consisting of the material same as an insulating film which may be used for a gate insulating film of TFT provided on a glass substrate.

CONSTITUTION: A thin film transistor forms a silicon oxide 2 as the under protection film to the entire surface on a sodalime glass 1 and also forms thereon as I type non-single crystalline silicon semiconductor film 3. Next, after executing the etching process, laser annealing is conducted for active layer and an N type conductive non-single crystalline silicon film 4 is formed thereon. Next, after patterning the non-single crystalline silicon film 4 leaving the non- single crystalline silicon film 4 in the source drain region

4, hydrogen plasma processing is executed to form a gate oxide film 5 with the same material as the under protection film 2. Thereafter, contact hole of the source, drain region is formed and an aluminum electrode 6 is formed thereon. As a result, invasion of impurity into active layer and element of a thin film transistor can be suppressed and a thin film transistor having high mutual conductance and high electric field effect mobility can be obtained.

COPYRIGHT: (C)1992,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-32267

⑤ Int. Cl.⁵
H 01 L 29/784

識別記号 庁内整理番号

④ 公開 平成4年(1992)2月4日

9056-4M H 01 L 29/78 3 1 1 X

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 薄膜トランジスタ

⑯ 特 願 平2-140580

⑰ 出 願 平2(1990)5月29日

⑱ 発 明 者 張 宏 勇 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. ガラス基板上にゲート絶縁膜を構成し得る材料からなる下地保護膜と前記下地保護膜上にゲート電極、ゲート絶縁膜及びソース、ドレイン領域が設けられていることを特徴とする薄膜トランジスタ。

2. 特許請求の範囲第1項において、前記下地保護膜と前記ゲート絶縁膜とは同じ形成法により形成された同じ材料からなる絶縁膜であることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

『産業上の利用分野』

本発明は非単結晶半導体薄膜を用いた薄膜トランジスタ(以下にTFTともいう)及びその製造方法に関するものであり、特に液晶ディスプレイ、イメージセンサー等に適用可能な高信頼性を持つ薄膜トランジスタに関する。

『従来の技術』

最近、化学的気相法等によって、作製された非単結晶半導体薄膜を利用した薄膜トランジスタが注目されている。

この薄膜トランジスタは、絶縁性基板上に前述の如く化学的気相法等を用いて形成されるので、その作製雰囲気温度が最高で500℃程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いることができる。

この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成でき、さらにその作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の画素を持つマトリクス構造の液晶ディスプレイのスイッチング素子や一次元又は二次元のイメージセンサ等のスイッチング素子として極めて有望である。

また、この薄膜トランジスタを作製するにはす

でに確立された技術であるフォトリソグラフィーが応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。

この従来より知られたTFTの代表的な構造を第2図に概略的に示す。

②はガラスよりなる絶縁性基板であり、(21)は非単結晶半導体よりなる薄膜半導体、(22)、(23)はソースドレイン領域で、(24)、(25)はソースドレイン電極、(26)はゲート絶縁膜で(27)はゲート電極であります。

このように構成された薄膜トランジスタはゲート電極(27)に電圧を加えることにより、ソースドレイン(22)、(23)間に流れる電流を調整するものであります。

この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S = \mu \cdot V / L^2$$

ここでLはチャネル長、 μ はキャリアの移動度、Vはゲート電圧。

この薄膜トランジスタに用いられる非単結晶半

導体層は半導体層中に多量の結晶粒界等を含んでおり、これらが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく、上式より判るようにトランジスタの応答速度が非常に遅いという問題が発生していた。特にアモルファスシリコン半導体を用いた時その移動度はだいたい0.1～1($\text{cm}^2/\text{V} \cdot \text{Sec}$)程度で、ほとんどTFTとして動作しない程度のものであった。

このような問題を解決するには上式より明らかにチャネル長を短くすることと、キャリア移動度を大きくすることが知られ、種々の改良が行われている。

特にチャネル長Lを短くすると、その2乗で応答速度に影響するので非常に有効な手段である。

しかしながらTFTの特徴である大面積基板上に素子を形成する場合、フォトリソグラフィー技術を用いて、ソースドレイン間の間隔(だいたいのチャネル長に対応する)を $10\mu\text{m}$ 以下にすることは、その加工精度、歩留まり、生産コスト等の面から明らかに困難であり、TFTのチャネル長を短

くする手段として現在のところ有効な手段は確立されていない。

一方、半導体層自身の持つ移動度(μ)を大きくする方法としては、TFTに使用する半導体層として単結晶半導体または多結晶半導体を採用したり、TFTの活性層部分を単結晶半導体または多結晶半導体とすることが行われている。

前者の方法では、半導体層を形成する際の温度を高くする必要がある。一方、後者の方法は部分的に温度を高くしてTFTの活性層部分を単結晶半導体または多結晶半導体とするものであるが、いずれの方法においても通常のTFT作製工程よりも若干高い温度が必要である。

例えば、

(1) 非晶質半導体薄膜トランジスタにおいて、非晶質シリコンの成膜温度は約 250°C 程度でその後の熱アニール工程の温度は最大で 400°C 程度必要である。

(2) 熱再結晶多結晶半導体薄膜トランジスタにおいて、減圧CVD法による多結晶シリコンの成膜

温度と熱による再結晶化工程の必要温度は $500 \sim 650^\circ\text{C}$ である。

(3) 活性層のみを多結晶化した薄膜トランジスタにおいて、半導体層を形成するに必要なCVDの温度は $250^\circ\text{C} \sim 450^\circ\text{C}$ 程度であるが、CWLレーザによる活性層の再結晶化工程では 600°C を超える温度となる。

このように薄膜トランジスタの製造工程においては避けられない熱処理工程が存在している。

一方、TFTはソーダ硝子等の基板上に形成されており、特にスタガ型とコプラナ型はキャリアの表面導電チャネルを持つ活性層がガラス基板と直接に接している。

TFT製造工程では前述のように避けられない熱処理工程が存在するので、硝子基板中に存在するナトリウム、カリウム等のアルカリ不純物並びに金属等が外部に拡散し、活性層やTFTを構成する半導体層に侵入する。これによりTFTは移動度の低下やしきい値の変動等デバイス特性を悪化させたり、長期の信頼性に悪影響を与える。

また、TFTの動作により、TFT自身が発熱するこれによりガラス基板の温度が上昇し、同様に基板より不純物が拡散して、TFTに影響を与える。

『発明の目的』

本発明は前述の如き問題解決するものであり、素子特性の良い、長期の信頼性の高いTFTの構造を提供することをその目的とするものであります。

『発明の構成』

本発明は上記の問題を解決する為に、TFT素子を形成する前にガラス基板上にCVD法またはスパッタ法によりTFT素子のゲート絶縁膜に使用可能な絶縁膜と同じ材料からなる膜を下地保護膜として設け、その下地保護膜上にTFT素子を形成していることを特徴とするものであります。

すなわち、ガラス基板はゲート絶縁膜に使用可能な絶縁膜、例えばシリコン酸化膜で覆われているためTFT作製工程等での熱処理工程またはTFT動作時の発熱による基板温度上昇時における

ガラス基板よりの不純物の拡散を防止し、TFT素子の特性の向上および長期の信頼性向上を実現することができるものであります。

以下に実施例を示し本発明を説明する。

『実施例1』

この実施例1に対応するプレーナ型薄膜トランジスタの概略的な作製工程を第1図に示す。

まず、ガラス基板(1)としてソーダガラスを用い、このソーダガラス(1)上に公知のスパッタリング法により全面に下地保護膜として酸化珪素(2)を300nm

スパッタガス	酸素100%
反応圧力	0.5Pa
RFパワー	400W
基板温度	150℃
成膜速度	5nm/min

次にこれらの上にI型の非単結晶珪素半導体膜(3)を公知のプラズマCVD法で約100nmの厚さに形成した。その作成したその作製条件を以下に示す。

す。

基板温度	300℃
反応圧力	0.05Torr
RFパワー(13.56MHz)	80W
使用ガス	SiH ₄

その後所定のエッチング処理を行い第1図(A)に示す状態を得た。

この後この活性層を多結晶化する為にエキシマレーザーを使用して、この活性層に対してレーザーアニール処理を施した。
その条件を以下に示す。

レーザーエネルギー密度	200mJ/cm ²
照射ショット数	50回

この上に低抵抗非単結晶半導体層としてN型の導電性を有する非単結晶珪素膜(4)を形成する。この時の作成条件は以下のとおりであった。

基板温度	220℃
反応圧力	0.05Torr
RFパワー(13.56MHz)	120W
使用ガス	SiH ₄ +PH ₃
膜厚	1500Å

このN型の非単結晶珪素膜(4)は、その形成時にH₂ガスを多量に導入しRFパワーを高くして、微結晶化させて電気抵抗を下げたものを使用してもよい。

次に公知のフォトリソグラフィ技術を用いて、この非単結晶珪素膜(4)をソースドレイン領域(4)を残しチャネル形成領域(7)をパターンニングし、第1図(B)に示す状態を得た。

この後、チャネル形成領域(7)の活性化の為水素プラズマ処理を下記の条件で行いチャネル領域の活性化を行った。

基板温度	250℃
RFパワー	100W
処理時間	60分

この後、先の下地保護膜(2)と同じ材料でかつ同じ形成方法にてゲート酸化膜(5)100nmの厚みに形成後ソース、ドレイン領域のコンタクトホールを公知のエッチング法により形成し、その上にアルミニウム電極(6)を形成して、第1図(C)の状態を得、薄膜トランジスタを完成した。

本実施例の場合、ソース、ドレイン電極(6)の下にはゲート絶縁膜(5)、下地保護膜(2)が存在する。

これらは同じ材料、同じ形成方法により形成されているので、薄膜トランジスタ作製工程における熱処理又は薄膜トランジスタ動作時の発熱によって発生するこれら膜の熱膨張に差がなく、その上部に存在するアルミニウム等の金属電極の断線又はピーリングを起こさず長期の信頼性に優れたものとなった。

「実施例2」

第3図に本実施例の作製方法の概略図を示す。

まず、ソーダガラス基板(1)上に公知のスパッタリング法により実施例1同じ作製条件にて酸化珪素膜を作製した。次にこの下地保護膜(2)上にモリ

RFパワー(13.56MHz) 80W
使用ガス Ar

次に、実施例1と同じようにこのI型半導体層(3)の多結晶化と水素プラズマ処理による活性化を行い第3図(B)に示す状態を得た。

さらに、スパッタリング法によりゲート絶縁膜(5)を実施例1と同様に100nm形成した後、モリブデン金属によりゲート電極(9)を形成し所定のパターンに形成した。

このようにして第3図(C)に示す薄膜トランジスタを完成させた。

本実施例の場合、低抵抗半導体層下に金属電極を有しているので、その配線抵抗が非常に小さい特徴を有する。特に大面積の液晶装置のスイッチング素子としてTFTを用いる際、この配線抵抗が小さい為に、駆動信号波形がなまることがなく、多量のTFTを高速度で応答させることができる。

また、本発明はその多のデバイス造を持つ薄膜トランジスタにも当然応用可能である。

ブデン金属(9)を200nmの厚さに形成した後、この上に低抵抗非単結晶半導体層としてP型の導電性を有する非単結晶珪素膜(8)を形成する。この時の作製条件は以下のとおりであった。

基板温度 230℃
反応圧力 0.05 Torr
RFパワー(13.56MHz) 150W
使用ガス $\text{SiH}_4 + \text{B}_2\text{H}_6$
膜厚 200Å

この場合膜厚は200Åとし後工程で作製するI型半導体層とのオーミックコンタクトをとる目的だけとした。

次にこれらを所定のパターンにエッチングして第3図(A)の状態を得た。

次にこれらの上にI型の非単結晶珪素半導体膜(3)を公知のスパッタ法で200nmの厚さに形成した。

その作成したその作製条件を以下に示す。

基板温度 250℃
反応圧力 0.2 Pa

「効果」

本発明の構成により、基板としての低温ガラス中に存在する不純物が薄膜トランジスタの活性層さらには素子自身へ侵入することを抑えることができ、高相互コンダクタンスおよび高電界効果移動度を持つ薄膜トランジスタを提供することができた。

また、デバイス動作時における発熱により基板より拡散する不純物をも抑えることができ、薄膜トランジスタの電機的特性の劣化を抑制でき良好で長期の安定性と信頼性を持つ薄膜トランジスタを実現することができた。

4. 図面の簡単な説明

第1図(A)～(C)及び第3図(A)～(C)は本発明の一実施例のTFTの製造工程を示す概略図である。

第2図は従来のTFTの断面構造を示す。

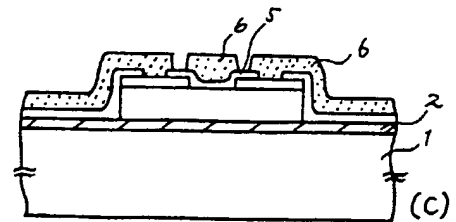
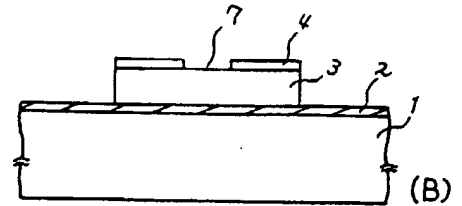
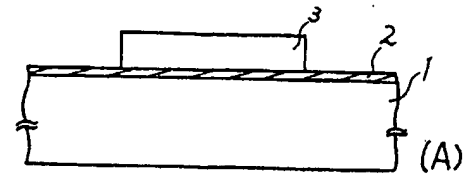
- 1・・・基板
- 2・・・下地保護膜
- 3・・・活性層

- 4 . . . ソース、ドレイン領域
- 5 . . . ゲート絶縁膜
- 6 . . . ゲート並びにソース、ドレイン電極
- 7 . . . チャンネル形成領域
- 8 . . . ソース、ドレイン領域
- 9 . . . ゲート電極

特許出願人

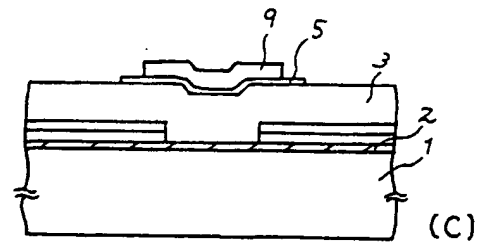
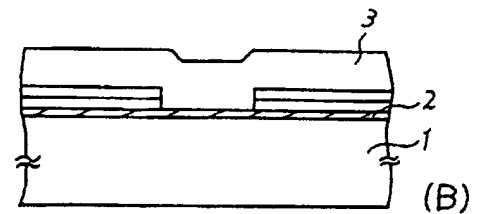
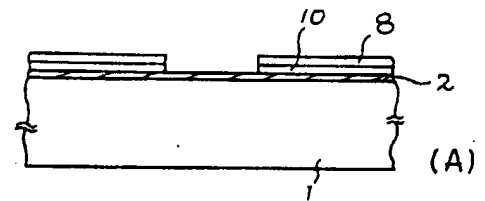
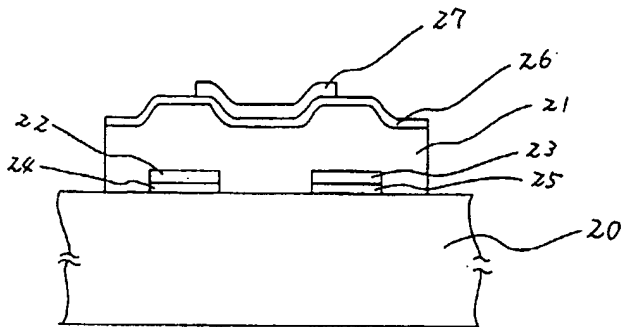
株式会社半導体エネルギー研究所

代表者 山崎 舜平



第 1 図

第 2 図



第 3 図